

Opera suspicionată (OS)
Suspicious work**Opera autentică (OA)**
Authentic work

OS	Stanciu, A., „Autocontrolul ca mijloc de creștere a fiabilității și disponibilității sistemelor de calcul”, <i>An. Univ. "Aurel Vlaicu" Arad, Fasc. Electrotehnică, Electronică, Automatizări</i> , p.257-272, 2000.
OA	Morun, C., „Creșterea fiabilității la transmiterea și stocarea informației.” Teza de doctorat, Universitatea Tehnică din Timișoara, 1998.

Incidența minimă a suspiciunii / Minimum incidence of suspicion

p.28:28 – p.40:01

p.257:12 – p.270:16

Fișa întocmită pentru includerea suspiciunii în Indexul Operelor Plagiate în România de la
www.plagiate.ro

ANALELE

UNIVERSITĂȚII "AUREL VLAICU" DIN ARAD



SERIA

ELECTRICA

FASCICOLA:

ELECTROTEHNICĂ, ELECTRONICĂ, AUTOMATIZĂRI

2000

COLEGIUL DE REDACȚIE

Prof.univ.dr. Lizica Mihuț
Conf.dr.ing. Petre Popa
Prof.dr.ing. Michaela Dina Stănescu
Conf.dr.ing. Liviu Sevastian Bocîi

COLEGIUL DE REDACTIE AL SERIEI

Conf. dr. ing. Valerian Heșca
Șef lucrări drd. ing. Valentina Bălaș
Șef lucrări drd. ing. Marius Bălaș
Șef lucrări drd. ing. Mihaela Popa

Seria: *ELECTRICĂ*

Fascicola: *ELECTROTEHNICĂ, ELECTRONICĂ,
AUTOMATIZĂRI*

ISSN 1582-3377

Adresa redacției:

Universitatea "Aurel Vlaicu" din Arad
Catedra: Discipline Tehnice Generale
B-dul Revoluției nr 81
RO – 2900 Arad – ROMÂNIA
Tel: + 40 – 57- 254190
Fax: + 40 – 57 – 280070
e. mail: rectorat.uav@inext.ro

CUPRINS

Anton C. E. : <i>An Artificial Intelligence Framework for Flexible Manufacturing System (FMS) Scheduling</i>	3
Anton C. E. : <i>Trends and Developments in the Automation of Design and Manufacture of Tools for Metal Stampings</i>	11
Argeşanu V., Mocuţa G. E., Atiţoaiiei V. : <i>Reliable Multicast Protocol Design Choices</i>	21
Băjan L., Vanci G. : <i>Studiul comutaţiei tranzistoarelor MOSFET de putere</i>	27
Băjan L., Vanci G. : <i>Metode de măsurare şi investigare utilizate în acţionările electrice cu convertoare statice</i>	31
Bălaş M. : <i>Despre unele regimuri de frânare controlată a vagoanelor</i>	35
Bălaş M. : <i>Proiectarea controlerelor fuzzy pe baza analizei calitative</i>	45
Bălaş M., Bălaş V. : <i>Autoadaptarea prin criteriul $\delta\epsilon$-$\mathcal{L}\epsilon$</i>	51
Bălaş V. : <i>Rolul de interfaţă simbolică al senzorilor fuzzy</i>	55
Bărbulescu E. : <i>Le choix du referentiel d'étude dans les problèmes de champ</i>	63
Bărbulescu E. : <i>Le mouvement dans la modélisation des actionneurs et des machines électriques</i>	69
Buciu I., Gordan C. : <i>Acoustic speech signal production by a 12-th order linear prediction</i>	73
Căruntu G. : <i>Măsurarea cuplului mecanic la arborele motorului principal</i>	79
Căruntu G. : <i>Utilizarea structurilor Mosfet ca senzori chimici</i>	85
Cârstea D. P., Cârstea I.T. : <i>A Finite Element Technique for HVDC Insulation Parameters Computation</i>	91
Cârstea D. P., Cârstea I.T. : <i>Modelling the Transient Regimes in HDVC Cables</i>	97
Chita M.A., Ene A., Savulescu C. : <i>Considerations Concerning the Temperature Influence of a Smart Sensor Using Eddy currents for Displacement Measurement</i>	103
Constantinescu M. I., Samoilescu G., Sotir A. : <i>Câmpul magnetic staţionar creat de un circuit electric dispus pe cupla navei</i>	107
Diaconu I., Bâzdoacă N. : <i>Applications of the Cellular Automata Theory in Robotics Control</i>	113
Drăgănescu Gh. E., Ivan C. : <i>The Use Of Gabor Transform To Detect Weak Non-Periodicities From ECG Signals</i>	117
Enache S., Vlad I., Enache M. : <i>Using Matlab for Simulation of the Induction Motor Behaviour Controlled by the Rotor Flux with the Implementation of an Inverter Voltage Source</i>	123
Ene A., Chifa M., Savulescu C. : <i>Un program de aproximare bazat pe reţele neuronale</i>	127
Fetche V., Breaz R., Cioca L. : <i>Axe numerice în regim de poziţionare - Modelare şi simulare partea I - Modelare</i>	131
Breaz R., Fetche V., Cioca L. : <i>Axe numerice în regim de poziţionare - Modelare şi simulare partea a II - a - Simulare</i>	135
Fader T., Stanclu A. : <i>Combină multifuncţională cu comandă numerică şi 3 - 5 grade de libertate</i>	139
Gordan M. : <i>Design of a temperature controller circuit</i>	145
Gordan C., Reiz R. : <i>Implementarea filtrelor numerice utilizând procesorul de semnale</i>	151
Goşea I., Iacobescu F. : <i>About Current Passing of the Superconductive Current Limitor</i>	157
Grigorescu L. : <i>Circuite de integrare de generaţia a doua care utilizează comutarea curentului</i>	162
Grigorescu L. : <i>Amplificatoare cu reacţie de curent şi aplicaţiile lor</i>	166
Ileană I., Joldeş R., Achim M. : <i>Consideraţii privind folosirea reţelelor neuronale asociative pentru recunoaşterea formelor</i>	172
Heşca V. : <i>The Electrical Scheme for Testing the Asynchronous Motor with Energy Recovery</i>	176
Mihai C. I. : <i>Un nou concept de prelucrare asistată cu aplicaţii în tehnică</i>	182

Mihai C. I. : Utilizarea limbajului C++ la acționarea manuală și automată a motoarelor de c.c. în acționările de precizie.....	186
Mocuța G. E., Argeșanu V., Atițoalei V. : Median-Shift Sign Statistics for Constant Signal Detection in Impulsive Noise Environment.....	190
Muller V. : The Determination of the Parameters and the Calculation of the Electrodinamic Forces in the Power Electric Transformers in Short-Circuit Regimen.....	196
Mușuroi S. : Evaluarea parametrilor echivalenți ai înfășurării statorice a mașinilor asincrone trifazate cu rotorul în colivie, de mică și medie putere, în cazul alimentării acestora prin convertoare statice de frecvență.....	206
Mușuroi S. : Evaluarea parametrilor echivalenți ai înfășurării rotorice a mașinilor asincrone trifazate cu rotorul în colivie de mică și medie putere, în cazul alimentării acestora prin convertoare statice de frecvență.....	212
Porțeanu M. J. : Improved Stability of Relay Control Systems Using On-off Element with Combined Positive and Negative Hysteresis Characteristics.....	218
Porțeanu M. J. : Automatizări în centrale termoelectrice pentru controlul emisiilor nocive în atmosferă.....	222
Prodan L. : Sisteme bioinspirate cu două niveluri de autoreparare.....	228
Prodan L. : Mecanisme biologice adaptate în electronică.....	234
Prodan L., Stanciu A. : Comunicatii de date în standard NICAM.....	240
Samoilescu G., Constantinescu, A. Sofir A. : Condiții ce trebuie îndeplinite de instalațiile și echipamentele electrice navale pentru prevenirea pericolelor datorate câmpului electrostatic.....	246
Soiir A., Samoilescu G., Constantinescu M., Inceu V. : Concluziile analizei semnalelor perturbatoare pe o navă maritimă.....	252
Stanciu A. : Autocontrolul ca mijloc de creștere a fiabilității și disponibilității sistemelor de calcul.....	257
Stanciu A. : Raid tolerant la mai multe defecte.....	273
Stanciu A., Morun C. : Matrice redundanță de canale independente – soluție de fiabilizare a sistemelor de calcul.....	281
Stanciu A., Prodan L. : Indicatori pentru caracterizarea fiabilității și disponibilității.....	289
Stanciu A., Bursașiu C. : Dispozitiv de comandă pentru o combină multifuncțională acționată de motoare pas cu pas.....	299
Stanciu A., Ion A. : Pachet software pentru comanda numerică a unei combine multifuncționale.....	305
Tomț D. : Sistem de măsurare numerică a unei deplasări folosind un inductor liniar, cuplat la un calculator IBM.....	311
Tomț D., Hoble D. : Contorul cu multiplicare digitală de tip ALPHA.....	317
Tomț D., Hoble D. : Ecuațiile de funcționare ale sistemului electrovibrant în instalațiile de separare electromagnetice.....	323
Tomț D. : Analiza divizoarelor universale în construcție modulară utilizând teoria cuadripolilor.....	329
Vanci G., Băjan L. : Asupra parametrilor mașinii cu reluctanță variabilă.....	335
Vanci G., Băjan L. : Considerații asupra unghiurilor de avans la mașina cu reluctanță variabilă.....	339
Varvara V. : The Non-Sinusoidal Regime Created by a Concentrated Non-Linear Element.....	343
Varvara V. : Method of Sizing the Absorbent Filters.....	347
Voloșencu C. : Bibliotecă de programe pentru rețele neuronale.....	351
Voloșencu C. : Bibliotecă de programe pentru simularea sistemelor de conducere a acționărilor electrice.....	355

AUTOCONTROLUL CA MIJLOC DE CREȘTERE A FIABILITĂȚII ȘI DISPONIBILITĂȚII SISTEMELOR DE CALCUL



Antonius STANCIU

SELF-CHECKING AS A MEAN TO INCREASING THE RELIABILITY AND THE AVAILABILITY OF COMPUTERS

In this article the reader will find about the latest techniques of self-checking, as well as its impact on the reliability and availability of computer systems.

1 Metode de autocontrol aplicate la diferite niveluri de structură

1.1 Caracteristicile metodelor de proiectare structurată la nivel de bistabil

Progresele recente din tehnologia VLSI au avut o influență mare asupra testării sistemelor digitale (numerice). Sistemele digitale de astăzi au de la o sută de mii până la un milion de porți de logică aleatoare și celule de memorie ceea ce face ca generarea testului și simularea defecțiunilor să fie extrem de dificile. Chiar dacă se

pot folosi mașini *hardware* dedicate sau super-computeră pentru a genera teste eficiente, costul acestora face imposibilă aplicarea lor în practică. Pentru a se depăși această problemă, cercetarea s-a îndreptat către găsirea altor metode de testare a sistemelor digitale, incluzând proiectarea pentru testabilitate și generarea de test la nivel funcțional (simularea defecțiunilor).

Dintre toate tehnicile propuse până în prezent, proiectarea pentru testabilitate (DFT, *Design For Testability*) este cea mai renumită, iar dintre toate tehnicile DFT, cea mai folosită este tehnica scanării (*scan-design*). În tehnica scanării (în [MARC93] i se spune tehnică sau metodă SCAN), bistabilele sunt conectate într-un circuit serial și sunt folosite ca terminale de tip I/O. Prin aplicarea tehnicii de scanare putem transforma un circuit secvențial în unul combinațional, făcând astfel mai simplă generarea *pattern*-urilor de test pentru circuit. De asemenea, se poate partiționa logic circuitul în câteva subcircuite și se pot genera, pentru fiecare în parte, *pattern*-urile de test.

Firma NEC a aplicat cu succes tehnica proiectării de scanare la sistemele comerciale de calcul încă din anul 1968. Tehnica numită cale de scanare (*scan-path*) a fost implementată de la nivel de capsulă la nivel de sistem și a devenit o ustensilă puternică pentru testarea și diagnoza sistemelor de calcul VLSI. Conceptul *scan in/scan out*, care stă la baza tehnicii de scanare, a fost introdus pentru prima dată în anul 1964 de către Carter s.a. pentru dezvoltarea testelor de localizare a defecțiunilor la sisteme IBM 360. NEC a dezvoltat metoda căii de scanare pentru a rezolva problemele din anii '70, cum ar fi utilizarea intensivă a MSI/LSI din sistemele comerciale de calcul, precum și numărul mare de porți aflate pe plăcile acestor sisteme.

Metoda căii de scanare pare să fie o soluție promițătoare pentru rezolvarea acestor probleme deoarece permite mai multă controlabilitate și observabilitate asupra circuitului supus testării. În plus, se pot testa atât circuitele combinaționale cât și cele secvențiale. Conceptele de controlabilitate și observabilitate se definesc în felul următor [LALA85], [PRAD86], [JOHN89]:

- a) **Controlabilitatea** arată cât de ușor se poate produce un semnal arbitrar, valid la intrările unei componente (subcircuit) prin excitarea intrărilor primare ale circuitului. De fapt, ea reprezintă abilitatea de a comanda un

Prin co
la nive
VLSI.
legătu

Circuit
subcir
subcir
subcir
compa

Eviden
atenție
pregă

semnal doar prin intermediul intrărilor primare. O linie care poate fi poziționată pe „1” logic se numește 1-controlabilă, altă linie care poate fi poziționată pe „0” logic se numește 0-controlabilă, iar linia care poate avea ambele stări logice se numește complet controlabilă;

- b) **Observabilitatea** arată cât de ușor se poate determina la ieșirile primare ale circuitului ceea ce se întâmplă la ieșirile unei componente (subcircuit). Cu alte cuvinte, ea este abilitatea activării unei căi de la semnalul cercetat până la un punct măsurabil.

Prin componente se înțeleg fie circuite integrate standard (SSI și MSI) pentru circuite la nivel de placă, fie celule standard de module de bibliotecă pentru circuite LSI și VLSI. De asemenea, se presupune că mai multe componente sunt conectate cu legături unidirecționale.

Circuitul testat prin metoda căii de scanare poate fi partiționat logic în mai multe subcircuite, iar programele de test pot fi generate, independent pentru fiecare subcircuit. Costul total al întregului circuit scade la α^2 / n , unde n este numărul de subcircuite, iar α este rata de suprapunere [FUNA89]. Tabelul următor arată o comparație între mărime și cost.

Denumire	Mărime	Cost
Circuit original	1	1
Subcircuit	α / n	$(\alpha / n)^2$
Circuit expansat	α	α^2 / n

Evident că α depinde de n și, din acest motiv, proiectanții trebuie să decidă cu atenție numărul de subcircuite necesare. Pentru un circuit bine proiectat, care este pregătit pentru partiționare, valoarea lui α este sub 1,7. Calea de scanare poate

facilita localizarea defecțiunii pentru că procesorul de diagnoză poate să urmărească ușor starea internă a sistemului. *Hardware*-ul adițional este foarte puțin (de la 4% la 10%) și este potrivit pentru un calculator VLSI deoarece necesită relativ puțini pini adiționali de I/O.

Bistabilul transformat cu cale de scanare, utilizat ca și circuitul de bază, include două tipuri de semnale de *clock*, C_1 pentru operația normală și C_2 pentru operația de deplasare. Astfel, bistabilele unei plăci logice sunt conectate în serie printr-o cale de scanare și operează ca un registru serial de deplasare utilizând *Clock II*, intrarea de test (*scan in*) și ieșirea de test (*scan out*). Utilizând o adresă de selecție a plăcii logice, putem selecta o anumită placă dintr-o unitate logică.

Chiar dacă tehnica scanării este o tehnică DFT puternică, pentru testarea logicii aleatoare, aplicarea ei poate pune probleme în diferite tipuri de circuite. Un astfel de tip sunt șirurile de memorie încorporate în circuite de logică aleatoare. Aplicarea directă a tehnicii de scanare la fiecare celulă de memorie din șir costă foarte mult. O soluție posibilă este aplicarea tehnicii de scanare la un anumit cuvânt din șirul de memorie și accesarea cuvântului fixat în timpul testării circuitului. Oricum, din moment ce, în timpul testării, memoria funcționează ca un registru, ea trebuie testată utilizând altă procedură.

Tehnica scanării s-a dovedit foarte eficientă pentru proiectarea circuitelor bipolare, dar este greu de aplicat la un circuit MOS și mai ales la un circuit MOS dinamic. Dificultatea apare, în primul rând, din cauza *hardware*-ului adițional. Un bistabil MOS dinamic este limitat la câteva tranzistoare și supraîncărcarea *hardware*-ului adițional este mare pentru un circuit VLSI MOS.

În 1977, IBM introduce tehnica LSSD (*Level Sensitive Scan Design*) care include tehnica scanării și, în plus, impune ca toate schimbările de stare să fie controlate de nivelul semnalului de ceas și nu de front (*Level Sensitive Design*) [RUSS85], [LALA85], [YARM90]. Această abordare reduce dependența funcționării de timpii de propagare, eliminând cursele sau hazardul. Celula de bază este elementul de memorare a informației, dependent de nivel, care asigură și tratarea semnalului de scan în modul test, element numit SRL (*Shift Register Latch*).

De
Sta
li s
ce
est
atu
sca
me
bo
Te
cor
cor
As
pro
mc
per
bo
Pe
ofe
ava
sing
de
ca
circ
Bo
pas
în
test

1.2 Caracteristicile metodelor de proiectare structurată la nivel de registru

Deși s-au scris foarte multe despre standardul de test *boundary-scan* (IEEE 1149.1 *Standard Test Acces Port and Boundary-Scan Architecture*), doar câtorva dispozitive li s-a implementat această arhitectură. Acordarea completă cu acest standard, ceea ce înseamnă că proiectanții ar putea să folosească orice dispozitiv, cu asigurarea că este compatibil cu *boundary-scan*, va apare numai după câțiva ani [DONN91]. Până atunci, plăcile cu cablaj imprimat vor fi hibride, conținând circuite (dispozitive) scanabile (după standardul IEEE) și dispozitive nescanabile. Aceste plăci necesită metodologii de testare bazate pe ambele tehnici: pat de cuie (*bed of nails*) și *boundary-scan*.

Testarea cu *boundary-scan* poate micșora drastic timpul de dezvoltare al sistemelor complexe. De asemenea, ea oferă posibilitatea testării sistemelor care utilizează componente cu montare la suprafață de mare densitate și plăci multistrat complexe. Astăzi, aceste sisteme se pot testa cu ajutorul tehnicii patului de cuie, dar există probleme din cauza geometriei micșorate a pinilor, geometrie impusă de tehnologia montării la suprafață. Și în acest caz, având unelte potrivite și dispozitive de susținere pentru *boundary-scan*, toată placa poate fi testată complet, folosind numai calea *boundary-scan* [DONN91], [BLEE91].

Pe de altă parte, patul de cuie și, în general, metodele de testare în circuit (*in-circuit*) oferă câteva avantaje importante spre deosebire de *boundary-scan*. Un astfel de avantaj cheie al testării în circuit este abilitatea diagnozei deteriorărilor multiple la o singură trecere prin test. În plus, detectarea scurt-circuitelor poate fi realizată înainte de punerea sub tensiune a plăcii, reducând posibilitatea deteriorării catastrofale cauzate de acestea între pini și tensiunea de alimentare. De asemenea, testele în circuit permit realizarea simultană a testării parametrice cu cea digitală [PARK89].

Boundary-scan, în general, nu se referă la testarea dispozitivelor analogice sau pasive. Contrar impresiei larg răspândite, *boundary-scan* este compatibil cu testarea în circuit și folosind o combinație a celor două se poate simplifica semnificativ testarea plăcilor.

Dispozitivul XC4005 FPGA este primul dintr-o familie de circuite compatibile cu standardul *boundary-scan*. Fiecare pin de I/O al acestui dispozitiv poate fi complet controlat și observat prin utilizarea unor *pattern*-uri de date introduse serial în registrul de *boundary-scan* al lui XC4005 prin pinul TDI (*Test Data Input*) și prin controlul prin pinii TMS (*Test Mode Select*) și TCK (*Test Clock*) proveniți din canalele ATE (*Automatic Test Equipment*). Acest lucru este echivalent cu stimularea complexă a intrărilor pentru a obține aceeași acoperire de test fără *boundary-scan*.

1.3 Proiectarea structurată la nivel de bloc

Încorporarea facilităților de test (BIT, *Built-In Test*) poate micșora considerabil timpul de întreținere și costurile pentru sistemele electronice complexe prin accelerarea detecției și izolării defecțiunilor. La nivel de placă, testul încorporat (BIT) se realizează, de obicei, prin aplicarea unui set de *pattern*-uri pseudo-aleatoare pentru a se verifica existența defecțiunilor și prin comprimarea informației răspunsului de test pentru a se obține o semnătură. Aceste tehnici sunt eficiente pentru plăcile utilizate în scopuri generale atât timp cât seturile de cipuri care se testează reacționează la cele două tehnici, dând rar semnături identice pentru plăci bune sau defecte.

Notă: În [D&T89], McCluskey precizează că nu este recomandată utilizarea expresiei *test-response compression* ca un sinonim al expresiei *test-response compaction*, deoarece prin compactare se pierde din informație, în timp ce prin comprimare se elimină doar redundanța, fără pierderea informației. În majoritatea literaturii de specialitate pe care am consultat-o — [LALA85], [JOHN89], [YARM90], [FUJI90a] — nu este respectată această opinie. Din această cauză, precum și datorită faptului că în limba română, când este vorba despre reducerea volumului secvențelor binare de răspuns, este consacrat termenul de comprimare [VLAD82b], [GEBE84], [VLAD89], în continuare vom folosi denumirea „comprimare“.

1.3.1 Autocontrolul bazat pe principiul BILBO

Tehnica de determinare a stării unui chip sau a unei plăci prin folosirea informației comprimate a răspunsului de test se numește analiza semnăturii. În general, metodele de analiză a semnăturii pentru testarea plăcilor utilizează circuite cu

obse
a ge
BILE
scan
auto
funci

Acea
Totu
defec
circui
funct
reduc
un si

În un
nejus
defec
o alta
testa
testa
imple

În ma
un g
ambi
fi api
de te
testu

Utilize
Între
imple